

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199724

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.<sup>6</sup>  
H 01 L 29/78

識別記号  
9447-4M  
9447-4M

府内整理番号  
H 01 L 29/78

F I  
6 5 2 T  
6 5 3 B

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 11 頁)

(21)出願番号 特願平8-9625

(22)出願日 平成8年(1996)1月23日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71)出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(72)発明者 竹内 有一

愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内

(74)代理人 弁理士 恩田 博宣

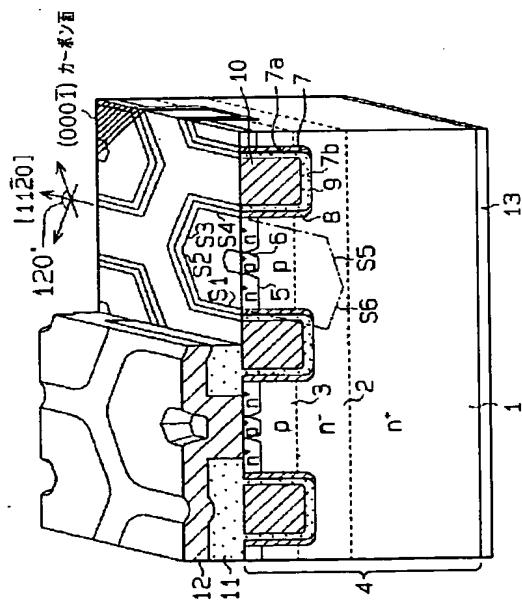
最終頁に続く

(54)【発明の名称】 炭化珪素半導体装置

(57)【要約】

【課題】ゲート閾電圧の低減、ゲート・ソース間および  
ゲート・ドレイン間耐圧の向上、オフ時のリーク電流の  
低減、そして更なるオン抵抗の低減とゲート酸化膜の信  
頼性を向上させた炭化珪素半導体装置を提供する。

【解決手段】半導体基板4はn<sup>+</sup>型基板1とn<sup>-</sup>型炭化  
珪素半導体層2とp型炭化珪素半導体層3とからなり、  
主表面の面方位が略(0001-)カーボン面であり六  
方晶系の単結晶炭化珪素よりなる。半導体層3の表層部  
にn<sup>+</sup>型ソース領域5が形成され、溝7が主表面から領域  
5と半導体層3を貫通し半導体層2に達するととも  
に、略[112-0]方向に延長されている。n型炭化  
珪素半導体薄膜層8は、溝7の側面での領域5と半導体  
層3と半導体層2の表面に延設され、ゲート絶縁膜9の  
内側にゲート電極層10が、半導体領域5の表面上にソ  
ース電極層10が、n<sup>+</sup>型基板1の表面にドレイン電極  
層13が形成されている。



## 【特許請求の範囲】

【請求項1】 第1導電型の低抵抗半導体層と第1導電型の高抵抗半導体層と第2導電型の第1の半導体層とが順次に積層され、かつ前記第1の半導体層の主表面の面方位が略(0001-)カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板と、前記第1の半導体層の表層部の所定領域に形成された第1導電型の半導体領域と、前記主表面から前記半導体領域と前記第1の半導体層と共に貫通し前記高抵抗半導体層に達するとともに、側面が略{112-0}方向に延設された溝と、前記溝の側面における前記半導体領域と前記第1の半導体層と前記高抵抗半導体層の表面に延設され、炭化珪素の薄膜よりなる第2の半導体層と、少なくとも前記第2の半導体層の表面に形成されたゲート絶縁膜と、前記溝内における前記ゲート絶縁膜の内側に形成されたゲート電極層と、前記主表面のうち少なくとも前記半導体領域の一部の表面上に形成された第1の電極層と、前記低抵抗半導体層の表面に形成された第2の電極層とを備えたことを特徴とする炭化珪素半導体装置。

【請求項2】 前記溝の側面の平面形状は、各内角が略等しい六角形である請求項1に記載の炭化珪素半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、炭化珪素半導体装置、例えば、大電力用縦型絶縁ゲート型電界効果トランジスタに関する。

## 【0002】

【従来の技術】 近年、電力用トランジスタとして炭化珪素単結晶材料を使用して作製される縦型パワーMOSFETが提案されている。電力用トランジスタにおいてはゲート電圧がオフ時のソースとドレインとの間のリーキ電流が少なく、かつ、オン時にはソースとドレインとの間の抵抗(オン抵抗)が小さいことが必要であり、六方晶炭化珪素の電子物性の長所を生かし、高電圧印加時のリーキ電流の低減とオン抵抗の低減が効果的に図れる電力用トランジスタとして図19及び図20に示す溝ゲート型パワーMOSFET(例えば、特開平7-131016号公報)や、閾値電圧の低減とゲート・ドレイン間及びゲート・ソース間耐圧向上を両立することを狙った図21に示す炭化珪素半導体装置(例えば、本出願人による特願平7-72026号)が提案されている。

【0003】 まず、前者(特開平7-131016号公報)について説明する。図19、20における溝ゲート型パワーMOSFETは、ソースとドレインとの間を流れる電流経路が{0001}面に平行であり、かつ、チャネル形成面26が{112-0}面に平行な方向にな

るよう構成されている。

【0004】 その理由は、電子の有効質量が[0001]方向に比べ[0001]に垂直な方向、即ち{0001}面上では約1/5であり、{0001}面上での移動度は[0001]方向に比べ約5倍の移動度になるため、電流経路を{0001}面に平行にすると電流の電気抵抗を最小にできるとしている。又、MOSチャネル形成部には原子の未結合手(ダングリングボンド)が存在するが、面方位によって密度が異なる。この原子の未結合手(ダングリングボンド)密度とリーク電流には相関があると考えられ、それゆえ、チャネル形成面の面方位によってリーク電流が決まる。同公報ではリーク電流が最小となる{112-0}面をチャネル形成面としている。

【0005】 図20の具体的構成は、主表面を{1-100}面とした半導体基板20内において、n<sup>+</sup>型ウエハ層21、n<sup>-</sup>型ドレイン層22、p型ウエル層23が順次に積層され、p型ウエル層23の表面の一部にはn型ソース層24が形成され、n型ソース層24の形成部分には溝部25が形成されている。溝部25は、n型ソース層24からp型ウエル層23を介してn<sup>-</sup>型ドレイン層22にまで達し、主表面に対して垂直に切り込まれた細長い略直方体状となっている。この溝部25により、チャネル形成面26を{112-0}面とするよう形成されている。その溝部25の露外面をほぼ覆うように絶縁膜27が設けられ、絶縁膜27の上面にゲート電極28が配置されている。そして、n<sup>+</sup>型ウエハ層21の表面にはドレイン電極29が、p型ウエル層23の表面及びこの表面に連なるn型ソース層24の一部の表面にはソース電極30が形成されている。

【0006】 次に、後者の技術(特願平7-72026号)について説明する。図21においては、熱酸化膜厚の面方位依存性を利用して構造の溝ゲート型パワーMOSFETである。六方晶炭化珪素の酸化速度は(0001-)カーボン面で最も速く、(0001-)カーボン面に垂直な面に比べ約5倍である。この性質を利用して、主表面を(0001-)カーボン面とすることにより、表面及び溝底面36bの酸化膜厚を、チャネル形成面となる溝側面36aでの酸化膜厚に比べ厚くすることができ、一度のゲート酸化膜形成工程により、ゲート閾電圧を低く、ゲート・ドレイン間及びゲート・ソース間耐圧を高くした溝ゲート型パワーMOSFETを作成できるとしている。

【0007】 図21の具体的構成は、主表面を(0001-)カーボン面としたn型炭化珪素半導体基板32上にn型エピタキシャル層33が形成され、さらに、n型エピタキシャル層33上にp型エピタキシャル層34が形成され、さらに、p型エピタキシャル層34の所定領域にn型ソース領域35が形成されている。又、n型ソース領域35とp型エピタキシャル層34を貫通してn

型エピタキシャル層33に達する溝36が形成され、溝36内にはゲート絶縁膜37を介してゲート電極38が形成されている。ゲート電極38の上面には絶縁膜39が形成され、絶縁膜39上を含むn型ソース領域35上にはソース電極膜40が形成されている。

【0008】

【発明が解決しようとする課題】しかしながら、図19、20および図21に示したような溝ゲート型パワーMOSFETを形成する場合、チャネル形成面の不純物濃度は、半導体領域（図20ではp型ウエル層23、図21ではp型エピタキシャル層34）と共にあるため、その不純物濃度と同じ濃度にならざるを得なかつた。しかし、パワーMOSFETを設計する上で半導体領域（23、34）の不純物濃度と膜厚はソース・ドレイン間耐圧を決定する上で主要な設計パラメータであり、一方、チャネル形成面の不純物濃度はゲート閾値電圧とチャネルでの電圧降下を決定する上で主要な設計パラメータである。パワーMOSFETを高耐圧、低オシ抵抗でかつ閾値電圧を小さく設計するためには半導体領域（23、34）とチャネル形成面の不純物濃度を独立に制御できることがデバイス設計上重要であるが、半導体領域（23、34）とチャネル形成面の不純物濃度を従来の方法では独立に制御できないという問題があつた。

【0009】又、溝ゲート型パワーMOSFETにおいては、チャネル移動度を低下させないように、チャネル形成面における凹凸による表面散乱を極力抑えなければならない。そのためには、MOSチャネル部となる溝側面の凹凸を極めて小さくする必要がある。単結晶半導体表面に溝を形成する方法としてRIE（Reactive Ion Etching）法が一般的であるが、RIE法はエッチング時のイオン衝撃により溝表面近傍に結晶欠陥が生じ、エッチングされた表面の凹凸も大きい。その後のゲート酸化膜形成工程によりMOSチャネル部が形成されるが、RIE法による溝形成工程によって生じた溝側面部の結晶欠陥や表面凹凸はゲート酸化膜形成工程後にも残留し、MOSチャネル部の特性は悪化し、チャネル移動度の低下、ゲート酸化膜耐圧の低下、ゲート酸化膜寿命の低下、ソース・ドレイン間のリーキ電流の増加が引き起こされるという問題があつた。

【0010】そこで、この発明の目的は、ゲート閾電圧の低減、ゲート・ソース間およびゲート・ドレイン間耐圧の向上、オフ時のリーキ電流の低減、そして更なるオシ抵抗の低減とゲート酸化膜の信頼性を向上させた炭化珪素半導体装置を提供することにある。

【0011】

【課題を解決するための手段】請求項1に記載の発明においては、半導体基板として、その主表面の面方位が略（0001-）カーボン面である六方晶系の単結晶炭化珪素を用いるとともに、溝として、側面が略【112-

0】方向に延設されたものを用い、さらに、溝の側面に炭化珪素の薄膜よりなる第2の半導体層を配置した。この構成を採用することにより、エッチングにより形成された溝の側面にエピタキシャルにより不純物濃度が制御された炭化珪素の薄膜よりなる第2の半導体層を形成し、この表面を熱酸化してMOS構造とすることにより、この第2の半導体層にチャネルを形成し、チャネル形成面の不純物濃度と第1の半導体層の不純物濃度を独立に制御し、高耐圧、低オシ抵抗で閾値電圧が低い炭化珪素半導体装置が得られる。特にチャネルを形成する第2の半導体層の不純物濃度を低くすることで、キャリアが流れるときの不純物散乱の影響を小さくすることができ、チャネル移動度を大きくすることができる。又、ソース・ドレイン間耐圧は、高抵抗半導体層と第1の半導体層の不純物濃度及びその膜厚で主に支配されるので、第1の半導体層の不純物濃度を上げて、第1の半導体層の膜厚を薄くすることができ、高耐圧性を維持しながら、チャネル長を短くできるため、チャネル抵抗を低減でき、ソース・ドレイン間のオシ抵抗を低減することができる。さらに、溝側面の延設方向を略【112-0】としているので、炭化珪素の薄膜よりなる第2の半導体層からなるチャネル形成面を【112-0】方向とすることができる、チャネル形成面の凹凸を大幅に低減することができる。このことは、本発明者らによる炭化珪素のエピタキシャル成長の実験により確認されている。この溝側面での炭化珪素のエピタキシャル成長の特徴は、選択的に【112-0】方向に極めて平坦な表面を作るために、この表面を熱酸化して得られるMOS界面も平坦になり、チャネル形成面は、キャリアの表面散乱が小さくなり、チャネル移動度を飛躍的に向上させることができる。又、第2の半導体層にはRIEによるイオン衝撃で生じる結晶欠陥は存在せず、移動度の低下が防止できる。さらに、チャネル形成面に形成されるゲート酸化膜厚は均一となり、局所的な電界集中が発生しないためゲート酸化膜耐圧が向上し、ゲート酸化膜寿命の長い高信頼性の炭化珪素半導体装置を得ることができる。

【0012】請求項2に記載の発明において、溝の側面の平面形状は、各内角が略等しい六角形としたので、六角形の各辺において内角をなす（隣接する辺）角度は略40 120度となる。よって、請求項1に記載の発明の作用・効果に加え、オフ時にソース・ドレイン間に高電圧が印加された場合に、側面の形状が六角形の溝にて形成された半導体部で電界集中によるアバランシェブレークダウンは発生しない。従って、ソース・ドレイン間耐圧の耐圧設計においては、高抵抗半導体層と第1の半導体層の不純物濃度及びその膜厚で決まる耐圧を考えればよいので、高耐圧設計が可能になる。

【0013】このように、六方晶系炭化珪素の酸化速度の（0001）面に対する角度依存性とエピタキシャル成長速度の（0001）面に対する角度依存性を生かす50 成長速度の（0001）面に対する角度依存性を生かす

ことに加えて、さらにエビタキシャル成長速度の〔0001〕面内における方位依存性を新たに組み合わせた溝形状とすることにより、ゲート閾電圧の低減・ゲート・ソース間耐圧とゲート・ドレイン間耐圧の向上、オフ時のリーク電流の低減、そして更なるオン抵抗の低減とゲート酸化膜の信頼性の向上を図ることができる。

〔0014〕これまで述べたことをより詳細に以下に述べる。本発明者らは、溝形成工程後に溝側面にエビ成長膜を形成し、その後、ゲート酸化工程によりMOSチャネル部を形成することにより、チャネル部の不純物濃度の制御ができるとともにイオン衝撃による欠陥が無いチャネル部を形成できることを見出した。即ち、エビ成長中に半導体層に取り込まれる不純物の濃度を制御しながらこの半導体層を形成することで、第1の半導体層とチャネル形成面の不純物濃度を独立に制御することが可能となり、かつ、溝形成工程によって生じた溝側面近傍の欠陥の影響の無いチャネル部を形成することが可能になる。

〔0015〕これを実現すべく、第1の半導体層に第1の不純物領域（図20ではn型ソース層24、図21ではn型ソース領域35）を形成後、溝を形成し、その溝の内壁にエビタキシャル層を成長させようとすると、炭化珪素においては、不純物の熱拡散係数が小さく、実用的な範囲においては拡散しないため、上述の溝側面にエビ成長膜を形成することができる。即ち、シリコンにおいては不純物の熱拡散係数が大きく、エビ成長中に不純物が熱拡散するため、第1の不純物領域が過剰に拡大したり、基板外へ不純物が拡散する、いわゆるアウトデフュージョンが顕著に起こり適用できないが、炭化珪素においては、炭化珪素の物性を生かした手法として使用できる。

〔0016〕さらに、溝ゲート型MOSFETをトランジスタ動作させるためには、エビ成長した半導体層を溝側面にのみに残すことが必須条件となるが、エビ成長速度の面方位依存性と酸化速度の面方向依存性とを組み合わせることにより、これが実現できる。即ち、エビ成長速度は〔0001-〕カーボン面に比べて、それに垂直な方向では10倍以上であり、主表面を〔0001-〕カーボン面とすることにより溝側面で厚く基板表面、溝底面で薄い半導体層を形成することができる。これを、本発明者らが行った実験結果を基に説明すると、図17は溝における側面及び底面を含む領域でのSEM像のスケッチであり、〔0001-〕カーボン面に比べて、それに垂直な方向で10倍以上の膜厚があることを確認している。

〔0017〕このようにして半導体層を溝側面に配置した後において、熱酸化工程により、溝側面で薄く、かつ、基板表面、溝底面で厚い熱酸化膜を形成するが、このとき、基板表面上および溝底面上にエビ成長で形成された半導体層を熱酸化により酸化膜に変質させることと

なる。熱酸化膜が溝側面で薄く基板表面および溝底面で厚くなる理由は、六方晶炭化珪素の酸化速度が〔0001-〕カーボン面で最も速く〔0001-〕カーボン面に垂直な面に比べ約5倍であるからである。

〔0018〕このようにして、エビ成長した半導体層のうち基板表面部および溝底面部の半導体層が完全に酸化膜に変化するべく熱酸化すれば、溝側面にのみに半導体層を残すことができる。

〔0019〕尚、エビ成長により溝側面にSiC単結晶薄膜を形成する場合、〔0001〕面に対する角度依存性が存在するだけでなく、〔0001〕面上の方向に対しても成長速度異方性が存在することが分かっている。例えば、T. Kimoto and H. Matsunami; "Two-dimensional nucleation and step dynamics in crystal growth of SiC", Silicon Carbide and Related Materials, Inst. Phys. Conf. Ser. No 137, Institute of Physics Publishing, Bristol and Philadelphia, pp. 55~58 (1993)により、エビ成長速度は〔112-0〕で最も速く、〔111-0〕で最も遅く、選択的に〔112-0〕方向に成長する。つまり、図18に示すように、円状のメサ型テーブルをウェハ表面に形成した試料にエビ成長を行うと、〔0001〕面上の成長速度異方性により、(a)にて示す円状のメサ型テーブルが(b)のように六角状のメサ型テーブルになる。このとき、六角形の辺の延設方向が〔112-0〕となる。本発明はこの見地に基づき、構造上も電気特性上も良好な溝型チャネル構造を備えた溝ゲート型パワーMOSFETを実現している。

〔0020〕尚、本明細書においては、六方晶系の単結晶炭化珪素の面および方向軸を表す場合、本来ならば図面に記載されているように、所要の数字の上にバーを付した表現をとるべきであるが、表現手段に制約があるために、前記所要の数字の上にバーを付す表現の代わりに、前記所要数字の後に「-」を付して表現している。

〔0021〕

【発明の実施の形態】以下、この発明の実施の形態を図面に従って説明する。図1に本実施の形態におけるnチャネルタイプの溝ゲート型パワーMOSFET（縦型パワーMOSFET）を示す。低抵抗半導体層としてのn<sup>+</sup>型炭化珪素半導体基板1は、六方晶炭化珪素が用いられている。このn<sup>+</sup>型炭化珪素半導体基板1上に、高抵抗半導体層としてのn<sup>-</sup>型炭化珪素半導体層2とp型炭化珪素半導体層3が順次積層されている。このように、n<sup>+</sup>型炭化珪素半導体基板1とn<sup>-</sup>型炭化珪素半導体層2とp型炭化珪素半導体層3とから単結晶炭化珪素による半導体基板4が構成されており、その上面を略〔0001-〕カーボン面としている。

〔0022〕p型炭化珪素半導体層3内の表層部における所定領域には、半導体領域としてのn<sup>+</sup>型ソース領域5が形成されている。さらに、p型炭化珪素半導体層3

内の表層部における所定領域には、低抵抗p型炭化珪素領域6が形成されている。又、n<sup>+</sup>型ソース領域5の所定領域に溝7が形成され、この溝7は、n<sup>+</sup>型ソース領域5とp型炭化珪素半導体層3を貫通しn<sup>-</sup>型炭化珪素半導体層2に達している。溝7は半導体基板4の表面に垂直な側面7aおよび半導体基板4の表面に平行な底面7bを有する。又、溝7の側面7aは略[112-0]方向に延設されている。さらに、溝7の側面7aの平面形状は、各内角が略等しい六角形である。つまり、図2の基板4の平面図において、六角形の6つの辺をS1、S2、S3、S4、S5、S6で示し、辺S1とS2となす角度(内角)、辺S2とS3となす角度(内角)、辺S3とS4となす角度(内角)、辺S4とS5となす角度(内角)、辺S5とS6となす角度(内角)、辺S6とS1となす角度(内角)は略120°となっている。

【0023】図1の溝7の側面7aにおけるn<sup>+</sup>型ソース領域5とp型炭化珪素半導体層3とn<sup>-</sup>型炭化珪素半導体層2の表面には、第2の半導体層としてのn型炭化珪素半導体薄膜層8が延設されている。n型炭化珪素半導体薄膜層8は厚さがおよそ1000~5000Å程度の薄膜よりなり、n型炭化珪素半導体薄膜層8の結晶型は、p型炭化珪素半導体層3の結晶型と同じであり、例えば、6H-SiCとなっている。この他にも4H-SiCであったり、3C-SiCであってもよい。又、n型炭化珪素半導体薄膜層8の不純物濃度は、n<sup>+</sup>型炭化珪素半導体基板1およびn<sup>+</sup>型ソース領域5の不純物濃度より低くなっていることが望ましい。

【0024】さらに、溝7内でのn型炭化珪素半導体薄膜層8の表面と溝7の底面7bにはゲート絶縁膜9が形成されている。溝7内におけるゲート絶縁膜9の内側には、ゲート電極層10が充填されている。ゲート電極層10は絶縁膜11にて覆われている。n<sup>+</sup>型ソース領域5の表面と低抵抗p型炭化珪素領域6の表面には第1の電極層としてのソース電極層12が形成されている。n<sup>+</sup>型炭化珪素半導体基板1の表面(半導体基板4の裏面)には、第2の電極層としてのドレイン電極層13が形成されている。

【0025】このように、溝ゲート型パワーMOSFETは、チャネル形成面が[112-0]方向となっている。次に、溝ゲート型パワーMOSFETの製造工程を、図3~図9を用いて説明する。

【0026】まず、図3に示すように、主表面が略(0001-)カーボン面であるn<sup>+</sup>型炭化珪素半導体基板1を用意し、その表面にn<sup>-</sup>型炭化珪素半導体層2をエピタキシャル成長し、さらにn<sup>-</sup>型炭化珪素半導体層2上にp型炭化珪素半導体層3をエピタキシャル成長する。

【0027】このようにして、n<sup>+</sup>型炭化珪素半導体基板1とn<sup>-</sup>型炭化珪素半導体層2とp型炭化珪素半導体

層3とからなる半導体基板4が形成される。次に、図4に示すように、p型炭化珪素半導体層3の表層部の所定領域に、n<sup>+</sup>型ソース領域5を例えれば窒素のイオン注入により形成する。さらに、p型炭化珪素半導体層3の表層部の別の所定領域に低抵抗p型炭化珪素領域6を例えればアルミニウムのイオン注入により形成する。

【0028】そして、図5に示すようにドライエッティング法(RIE法)により、n<sup>+</sup>型ソース領域5及びp型炭化珪素半導体層3をともに貫通してn<sup>-</sup>型炭化珪素半導体層2に達する溝7を形成する。この時、溝7の側面7aが[112-0]方向に延びるように溝7を形成する。それゆえ、図2に示すように、溝7の側面7aの平面形状は、各内角が略等しい六角形となる。

【0029】さらに、図6に示すように、エピタキシャル成長法により溝7の内壁(側面7aおよび底面7b)を含めた半導体基板4の上面にn型炭化珪素半導体薄膜層8を形成する。つまり、溝7の内壁におけるn<sup>+</sup>型ソース領域5、p型炭化珪素半導体層3およびn<sup>-</sup>型炭化珪素半導体層2の表面に延びるn型炭化珪素半導体薄膜層8を形成する。このとき、エピ成長速度は(0001-)カーボン面に比べて、それに垂直な方向では10倍以上であるので、溝側面7aで厚く溝底面7bで薄い薄膜層8を形成することができる。又、ここで、溝側面7aのn型炭化珪素半導体薄膜層8の不純物濃度は、n<sup>+</sup>型炭化珪素半導体基板1およびn<sup>+</sup>型ソース領域5の不純物濃度より低く設定することが望ましい。より具体的なn型炭化珪素半導体薄膜層8の形成方法としては、CVD法により、6H-SiCの上に6H-SiCの薄膜層8をホモエピタキシャル成長させる。

【0030】このn型炭化珪素半導体薄膜層8の形成工程において、炭化珪素のエピタキシャル成長の特徴である[112-0]方向を選択的に形成しながら、即ち、溝形成工程によって生じた表面凹凸を低減しながら成長する。よって、チャネル形成面は極めて平坦な面となり、チャネル移動度が飛躍的に向上する。又、n型炭化珪素半導体薄膜層8にはRIEによるイオン衝撃で生じる結晶欠陥は存在しないので、移動度の低下を防止することができ、ソース・ドレイン間のオン抵抗を低減することができる。

【0031】引き続き、図7に示すように、熱酸化により半導体基板4およびn型炭化珪素半導体薄膜層8の表面と溝7の底面7bにゲート絶縁膜(熱酸化膜)9を形成する。このとき、熱酸化膜(9)は溝側面7aで薄く基板表面および溝底面7bで厚くなり、基板4表面上および溝底面7b上にエピ成長で形成された半導体薄膜層8が酸化膜になる。これは、六方晶炭化珪素の酸化速度が(0001-)カーボン面で最も速く(0001-)カーボン面に垂直な面に比べ約5倍であるからである。このようにして、エピ成長によるn型炭化珪素半導体薄膜層8のうち基板4表面および溝底面7bの半導体薄膜

層8が熱酸化して溝側面7aにのみ半導体薄膜層8が残ることとなる。

【0032】このゲート絶縁膜9の形成工程において、前述したようにチャネル形成面は極めて平坦な面であるので、チャネル形成面に形成されるゲート絶縁膜（ゲート酸化膜）9の膜厚も均一とすることができます。その結果、完成したMOSFETにおいて、ゲート電圧印加時に局所的な電界集中箇所がなく、局所的な電界集中が発生しない。そのため、ゲート酸化膜耐圧を向上することができる。又、同様な理由からゲート酸化膜寿命を長くすることができる。

【0033】そして、図8に示すように、溝7内のゲート絶縁膜9の内側に、ゲート電極層10を充填する。さらに、図9に示すように、ゲート電極層10の上面に絶縁膜11を形成する。その後、図1に示すように、絶縁膜11上を含むn<sup>+</sup>ソース領域5と低抵抗p型炭化珪素領域6の上に、ソース電極層12を形成する。又、n<sup>+</sup>型炭化珪素半導体基板1の表面に、ドレイン電極層13を形成して、溝ゲート型パワーMOSFETを完成する。

【0034】このように本実施の形態においては、下記の（イ）、（ロ）の特徴を有する。

（イ）半導体基板4として、その主表面の面方位が略（0001-）カーボン面である六方晶系の単結晶炭化珪素を用いるとともに、溝7として、側面7aが略[112-0]方向に延設されたものを用い、さらに、溝7の側面7aに不純物濃度が制御されたn型炭化珪素半導体薄膜層8を配置することにより、チャネル形成面の不純物濃度とp型炭化珪素半導体層3（p型エピタキシャル層）の不純物濃度を独立に制御し、高耐圧、低オン抵抗で閾値電圧が低い炭化珪素半導体装置となり、特にチャネルを形成するn型炭化珪素半導体薄膜層8の不純物濃度を低くすることで、キャリアが流れるとの不純物散乱の影響を小さくすることができ、チャネル移動度を大きくすることができる。又、ソース・ドレイン間耐圧は、n<sup>+</sup>型炭化珪素半導体層2とp型炭化珪素半導体層3の不純物濃度及びその膜厚で主に支配されるので、p型炭化珪素半導体層3の不純物濃度を上げて、p型炭化珪素半導体層3の膜厚を薄くすることができ、高耐圧性を維持しながら、チャネル長を短くできるため、チャネル抵抗を低減でき、ソース・ドレイン間のオン抵抗を低減することができる。さらに、溝7の側面7aの延設方向を略[112-0]としたので、n型炭化珪素半導体薄膜層8からなるチャネル形成面を[112-0]方向とすることができます、チャネル形成面の凹凸を大幅に低減することができる。その結果、ゲート閾電圧の低減、ゲート・ソース間耐圧とゲート・ドレイン間耐圧の向上、オフ時のリーキ電流の低減、そして更なるオン抵抗の低減とゲート酸化膜の信頼性を向上を図ることができることなる。

（ロ）溝7の側面7aの平面形状は、各内角が略等しい六角形とし、六角形の各辺において内角をなす角度を略120度としたので、オフ時にソース・ドレイン間に高電圧が印加された場合に、側面の形状が六角形の溝7にて形成された半導体部で電界集中によるアバランシェブレークダウンは発生せず、ソース・ドレイン間耐圧の耐圧設計においては、n<sup>+</sup>型炭化珪素半導体層2とp型炭化珪素半導体層3の不純物濃度及びその膜厚で決まる耐圧を考えればよく、高耐圧設計が可能になる。

【0035】これまで述べた構成の他にも、例えば、n<sup>+</sup>型ソース領域5と低抵抗p型炭化珪素領域6に対して形成されるソース電極層12は、異なる材料でもよい。又、低抵抗p型炭化珪素領域6は省略も可能であり、この場合ソース電極層12はn<sup>+</sup>型ソース領域5とp型炭化珪素半導体層3に接するように形成される。又、ソース電極層12は、少なくともn<sup>+</sup>型ソース領域5の表面上に形成されればよい。

【0036】さらに、上述した例では、nチャネル縦型MOSFETに適用した場合について説明したが、図1においてp型とn型を入れ替えた、pチャネル縦型MOSFETにおいても、同じ効果が得られる。

【0037】さらに、図1では、溝7は基板表面に対し側面7aがほぼ90°となっているが、図10に示すように、溝7の側面7aと基板表面とでなす角度は必ずしも90°に近くなくてもよい。又、溝7は底面を有しないV字型でもよい。さらに図11に示すように溝7の側面7aは直線的に延びていなくてもよく、滑らかな曲面でもよい。

【0038】尚、溝7の側面7aと基板表面のなす角度は、チャネル移動度が大きくなるように設計することにより、より良い効果が得られる。又、図12に示すように、ゲート電極層10の上部が、n<sup>+</sup>型ソース領域5の上方に延びる形状であってもよい。本構成とすることで、n<sup>+</sup>型ソース領域5とn型炭化珪素半導体薄膜層8に誘起されたチャネルとの接続抵抗を低減することができる。

【0039】さらに、図13に示すように、ゲート絶縁膜9の厚さは、チャネルが形成されるn型炭化珪素半導体薄膜層8の中央部と下端でほぼ等しく、かつn型炭化珪素半導体薄膜層8の下端より下までゲート電極層10が達している構造であってもよい。本構成とすることでn型炭化珪素半導体薄膜層8に誘起されたチャネルとドレイン領域との接続抵抗を低減することができる。

【0040】さらには、図14に示すように実施してもよい。つまり、図12に示したようにゲート電極層10の上部が、n<sup>+</sup>型ソース領域5の上方に延びる形状であって、かつ、図13に示したようにn型炭化珪素半導体薄膜層8の下端より下までゲート電極層10が延びている構造であってもよい。

【0041】又、n型炭化珪素半導体薄膜層8とp型炭

化珪素半導体層3とは異なる結晶型でもよく、例えば、 $p$ 型炭化珪素半導体層3を6HのSiC、 $n$ 型炭化珪素半導体薄膜層8を4HのSiCとしてキャリアが流れる方向の移動度を大きくすることにより低電流損失のMOSFETが得られる。

【0042】又、上述の実施の形態においては、溝側面に成長させる薄膜層すなわち $n$ 型炭化珪素半導体薄膜層8を $n$ 型としているが、溝側面に成長させる薄膜層は $n$ 型に限定されるものではなく、 $p$ 型であってもよい。

尚、 $p$ 型の場合は、図14のようにゲート電極層10の上部が、 $n^+$ 型ソース領域5の上方に延びる形状であって、かつ、溝側面に成長させる薄膜層の下端より下までゲート電極層10が延びている構造であることが望ましい。

【0043】さらに、図15に示すように、溝15の側面の平面形状（詳しくは、ゲート電極層10側の形状）は、各内角が略等しい六角形としてもよい。つまり、図16の基板4の平面図において、六角形の6つの辺をS11、S12、S13、S14、S15、S16で示し、辺S11とS12となす角度（内角）、辺S12とS13となす角度（内角）、辺S13とS14となす角度（内角）、辺S14とS15となす角度（内角）、辺S15とS16となす角度（内角）、辺S16とS11となす角度（内角）は略120°となっている。

【図面の簡単な説明】

【図1】 実施の形態を説明するための $n$ チャネル溝ゲート型パワーMOSFETの斜視図。

【図2】 基板の平面図。

【図3】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

【図4】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

【図5】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

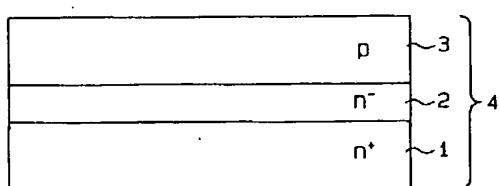
【図6】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

【図7】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

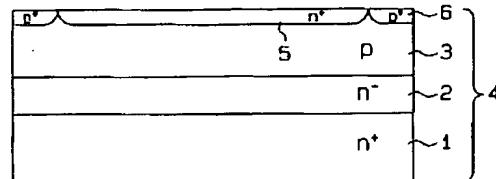
【図8】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

\*40

【図3】



【図4】



\*【図9】  $n$ チャネル溝ゲート型パワーMOSFETの製造工程を説明するための断面図。

【図10】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図11】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図12】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図13】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図14】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図15】応用例を説明するための $n$ チャネル溝ゲート型パワーMOSFETの断面構造模式図。

【図16】応用例を説明するための基板の平面図。

【図17】炭化珪素半導体材料のエピタキシャル成長の(0001-)カーボン面に対する異方性を説明するためのスケッチ図

【図18】炭化珪素半導体材料のエピタキシャル成長の(0001-)面内の異方性を説明するためのスケッチ図であり、(a)はエビ成長前のノマルスキー写真のスケッチ図、(b)はエビ成長後のノマルスキー写真のスケッチ図。

【図19】従来の電界効果トランジスタを説明するための斜視図。

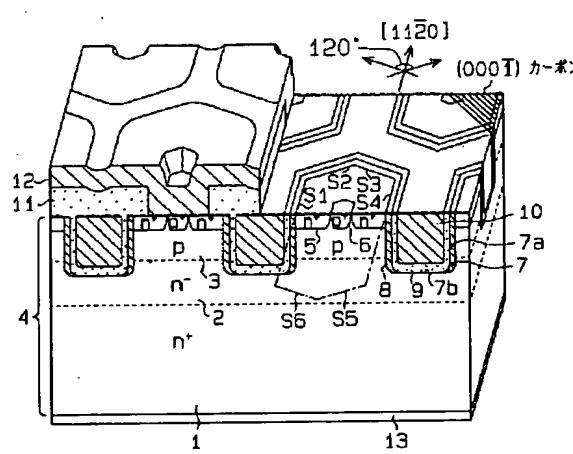
【図20】従来の電界効果トランジスタを説明するための斜視図。

【図21】従来の電界効果トランジスタを説明するための断面図。

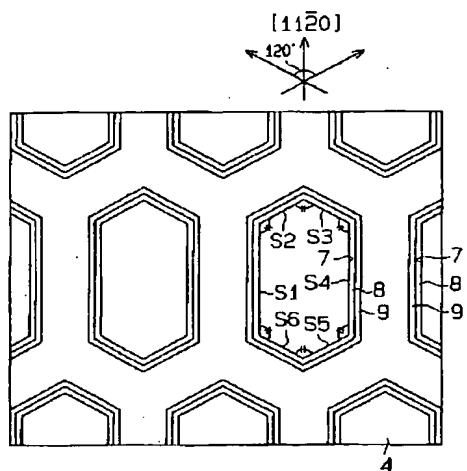
30 【符号の説明】

1…低抵抗半導体層としての $n^+$ 型炭化珪素半導体基板、2…高抵抗半導体層としての $n^-$ 型炭化珪素半導体層、3…第1の半導体層としての $p$ 型炭化珪素半導体層、4…半導体基板、5…半導体領域としての $n^+$ 型ソース領域、7…溝、7a…側面、7b…底面、8…第2の半導体層としての $n$ 型炭化珪素半導体薄膜層、9…ゲート絶縁膜、10…ゲート電極層、11…絶縁膜、12…第1の電極層としてのソース電極層、13…第2の電極層としてのドレイン電極層

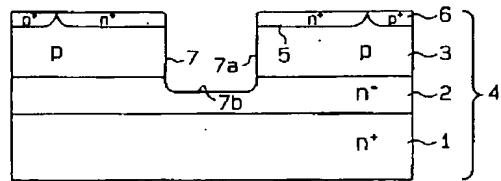
【図1】



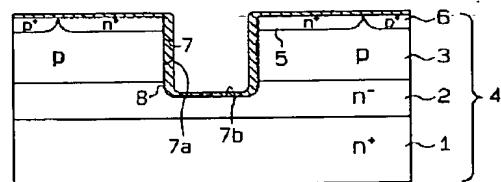
【図2】



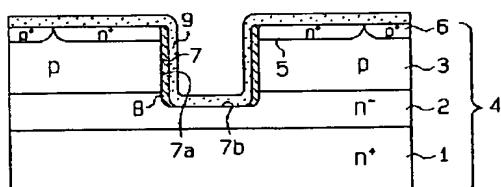
【図5】



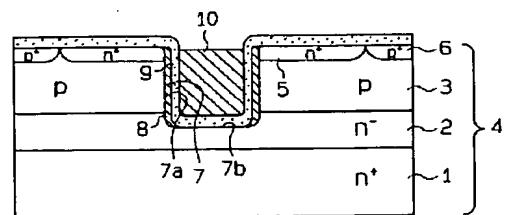
【図6】



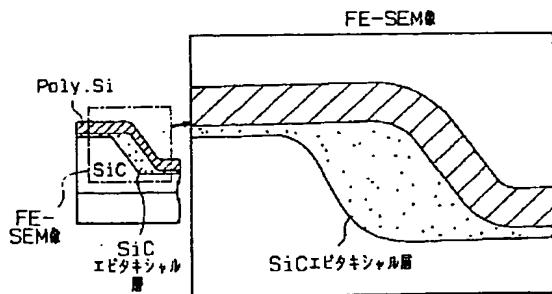
【図7】



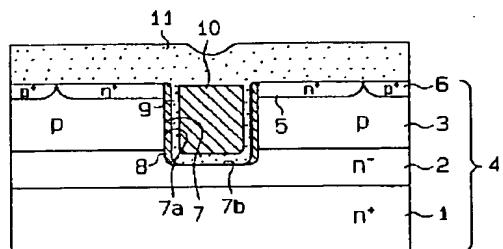
【図8】



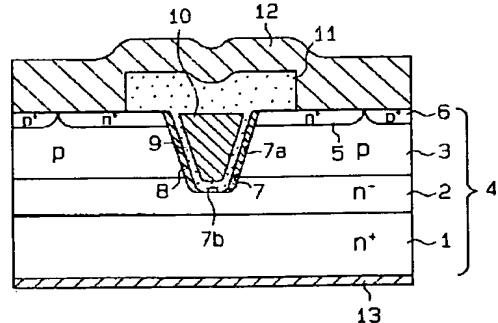
【図17】



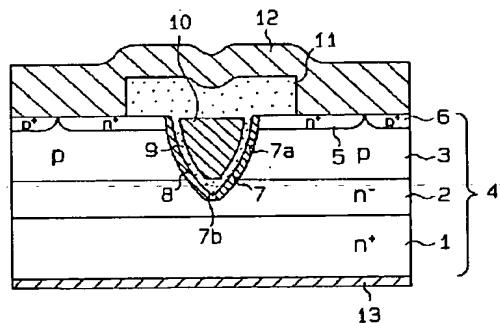
[図9]



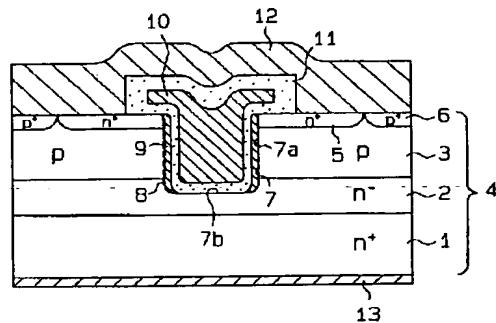
[図10]



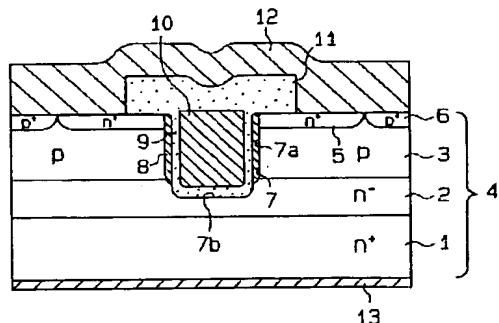
【図 1 1】



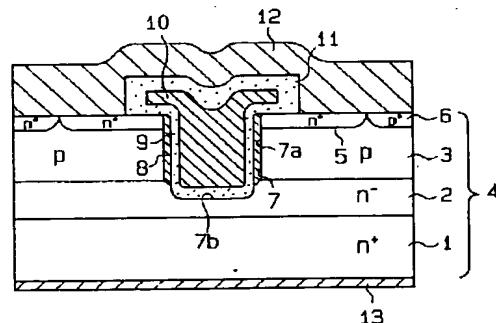
[図12]



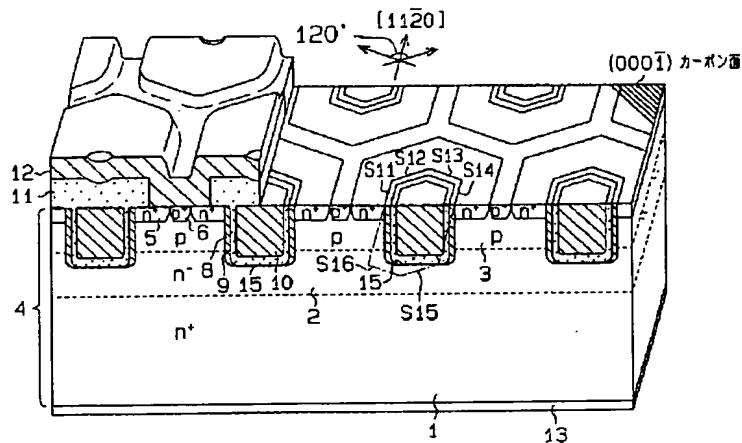
【図13】



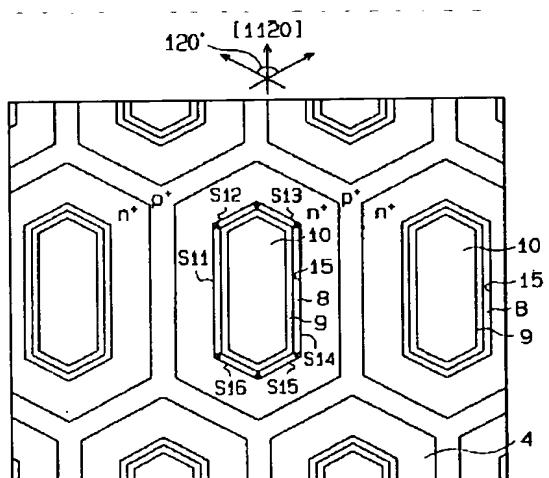
[図14]



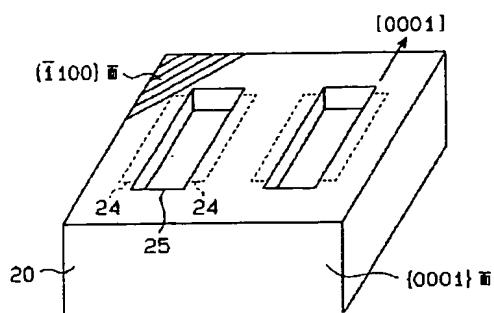
【図15】



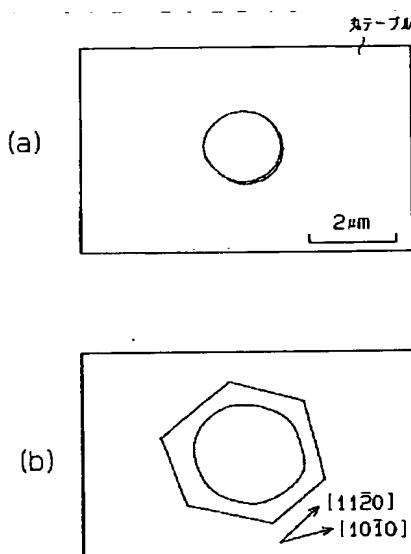
【図16】



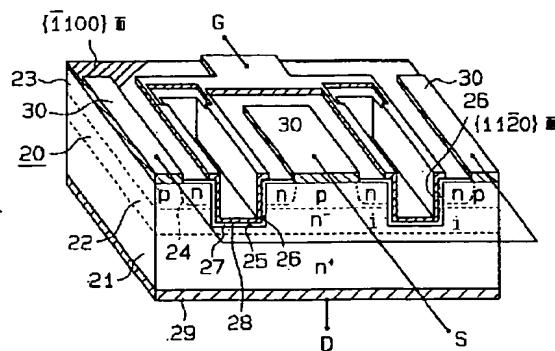
【図19】



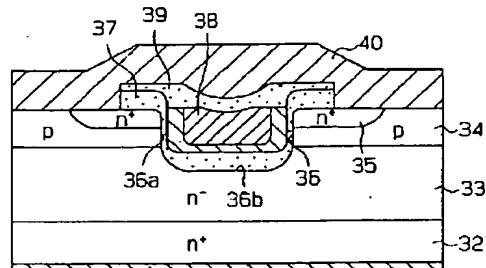
【図18】



【図20】



【図21】



## フロントページの続き

(72)発明者 宮嶋 健  
愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内  
(72)発明者 戸倉 規仁  
愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内

(72)発明者 夫馬 弘雄  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内  
(72)発明者 村田 年生  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内